

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210110

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

G02F 1/136

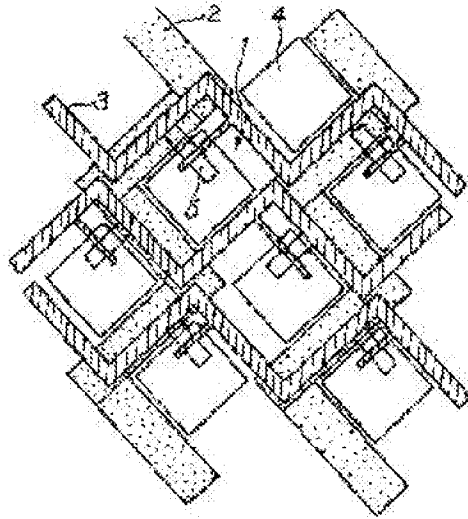
(21)Application number : 04-040604

(71)Applicant : CANON INC

(22)Date of filing : 31.01.1992

(72)Inventor : WATANABE TAKANORI

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE



(57)Abstract:

PURPOSE: To obscure gate lines even if these lines are provided and to obviate the generation of the deviation in timing for driving by constituting all the contours of picture elements of diagonal lines and disposing these picture elements at equal intervals longitudinally and transversely in series.

CONSTITUTION: Signal lines 2 and the gate lines 3 are formed zigzag along the spaces between the picture elements 1. The signal lines 3 are formed along the space lines of every other column with the space lines between the picture elements 1 continuing zigzag in the longitudinal direction as one column of the space lines. The picture elements 1 existing zigzag along one signal line 2 on both sides thereof are connected to the same signal line 2. The gate lines 3 are formed along the space lines of the respective rows with the space lines between the picture elements 1 continuing zigzag in the transverse direction as one row of the space lines. The picture elements 1 existing along one piece of the gate line 3 on one side thereof are connected to the same gate line 3.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-210110

(43) 公開日 平成5年(1993)8月20日

(51) Int.Cl.⁵

G 0 2 F 1/136

識別記号

5 0 0

序内整理番号

9018-2K

F 1

技術表示箇所

審査請求 未請求 請求項の数 3 (全 7 頁)

(21) 出願番号

特願平4-40604

(22) 出願日

平成4年(1992)1月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 渡邊 高典

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

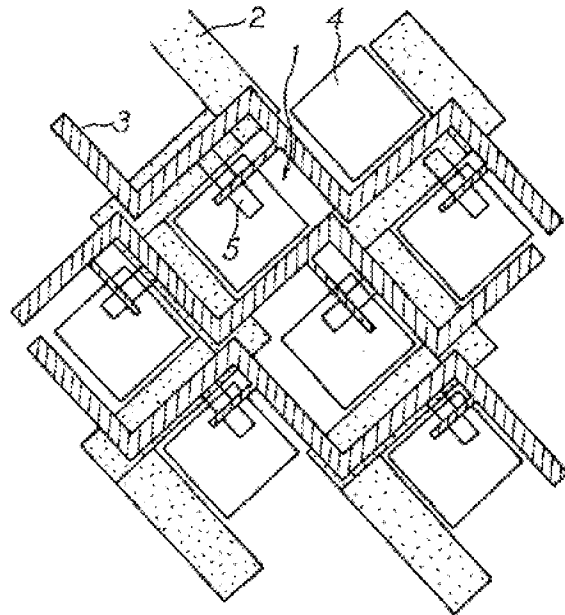
(54) 【発明の名称】 アクティブマトリクス液晶表示装置

(57) 【要約】

【目的】 各画素1間に遮光部を設けたり不透明配線としてゲート線3を設けてもこれらを目立ちにくくする。

【構成】 画素1の輪郭を斜線で構成する。

【効果】 遮光部や不透明配線としてのゲート線3が、水平線や垂直線の場合に比して、視覚上目立ちにくくなる。



【特許請求の範囲】

【請求項1】 各画素が斜線を含む輪郭を有していることを特徴とするアクティブマトリクス液晶表示装置。

【請求項2】 画素間に形成される遮光部の少なくとも一部が、画素の有する輪郭の斜線部に沿った斜線状に形成されていることを特徴とする請求項1のアクティブマトリクス液晶表示装置。

【請求項3】 各画素のスイッチング素子がFETで、その活性層と信号線が同じ晶材料で構成されており、信号線が遮光部を兼ねていることを特徴とする請求項2の 10

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス液晶表示装置に関するもので、特に各画素の形状及びその配置状態に関する。

【0002】

【従来の技術】従来、アクティブマトリクス液晶表示装置における画素及びその配置状態としては、図8及び図9に示されるようなものが一般的である。

【0003】図8に示されるものにおいては、ほぼ方形をなす画素101を縦横直列させて等間隔で設けたものとなっている。

【0004】また、図9に示されるものもほぼ方形の画素101を用いたもので、(a)に示されるものにおいては、第n行の画素101に対して第n+1行の画素101が横方向に1/2ピッチだけずらせて配置されており、(b)に示されるものにおいては、第m列の画素101に対して第m+1列の画素101が縦方向に1/2 30ピッチだけずらせて配置されている。いずれも、いわば縦横一方向は直列に他方向は千鳥に、各々等間隔で画素101を設けたものとなっている。

【0005】尚、図8及び図9における102と103は夫々信号線とゲート線を示す。

【0006】

【発明が解決しようとする課題】ところで、各画素101間には、コントラストのはっきりした鮮明な画像を得るために遮光部を設けることが行われる。また、通常、信号線102とゲート線103は画素101間に形成され、一般的にゲート線103は不透明配線とする場合が 40多い。

【0007】しかしながら、上記従来の画素101及びその配置の場合、各画素101間のスペースが、水平線と垂直線のみから構成された極めて規則的なものであるため、遮光部や不透明なゲート線103をこの各画素101間に沿って形成すると、これらも水平線と垂直線のみで構成されることになり、表示画面上目に付きやすい問題がある。

【0008】また、特に図9(b)に示される画素101及びその配置状態として、通常通り横方向にゲート線 50

103を形成すると、1本のゲート線103に接続されている画素101が1行毎に1/2ピッチ分駆動タイミングがずれることになり、その調整のための回路が複雑になる問題もある。

【0009】本発明は、各画素間に遮光部を形成したり不透明配線としてゲート線を設けてもこれらが目立ちにくく、しかも上記のような駆動タイミングのずれを生じることがないアクティブマトリクス液晶表示装置とすることを目的とする。

【0010】

【課題を解決するための手段】このために本発明で講じられた手段を、本発明の一実施例に対応する図1で説明すると、本発明では、各画素1が斜線を含む輪郭を有しているアクティブマトリクス液晶表示装置とするという手段を講じているものである。

【0011】

【実施例及び作用】図1及び図2は本発明の第1の実施例を示すもので、図1から明らかなように、本実施例における画素1は、ほぼ菱形形状をなすもので、画素1の輪郭が全て斜線で構成されていると共に、縦横直列に等間隔で配置されている。また、各画素1間のスペースは、上記ほぼ菱形形状の画素1で挟まれて形成されていることによって、全体としては互いに交差する右下がりの斜線状と左下がりの斜線状に形成されている。また、この画素1間のスペースを縦及び横のラインとしてみると、ジグザグに三角形を連ねた形状であるともいえる。

【0012】図2に示されるように、信号線2及びゲート線3は画素1間のスペースに沿ってジグザグに形成されている。信号線3は縦方向にジグザグに連なる画素1間のスペースラインを1列のスペースラインとして、1列おきのスペースラインに沿って形成され、1本の信号線2に沿ってその両側に千鳥状に存在する画素1が同じ信号線2に接続されている。また、ゲート線3は横方向にジグザグに連なる画素1間のスペースラインを1行のスペースラインとして、各行のスペースラインに沿って形成され、1本のゲート線3に沿ってその片側に存在する画素1が同じゲート線3に接続されている。

【0013】尚、本発明において画素1とは、画素電極4と対向電極(図示されていない)によって挟まれた部分をいい、画素1の輪郭とは、この画素電極4と対向電極で挟まれた領域の平面外周ラインをいう。また、図2における5はスイッチング素子である。

【0014】上記のように、本実施例における画素1間のスペースは、全て斜めに構成されているため、このスペースに沿って、遮光部や、不透明配線としてゲート線3を設けても、従来のように垂直線と水平線のみで構成されたものとならず、斜線で構成されることによるので視覚上目立ちにくい。

【0015】ところで、本発明において遮光部とは、表示面に非表示部を構成する部材をいい、特別に別途設け

たものでよいが、例えば画素1間に不透明なゲート線3を形成した場合、このゲート線3は遮光部を兼務するものとなり、画素1間に不透明な信号線2を形成した場合、この信号線2は遮光部を兼務するものとなる。

【0016】一方、1本のゲート線3に接続される画素1は横方向に直列されているので、1本のゲート線3に接続されている画素1の駆動に際し、駆動のタイミングのずれを生じることなく駆動することができる。

【0017】尚、本実施例では縦方向に信号線2、横方向にゲート線3を形成しているが、図2の状態を90度回転させた状態、即ち縦方向にゲート線3、横方向に信号線2を形成しても同様である。

【0018】図3及び図4は本発明の第2の実施例を示すもので、ゲート線3を透明配線として横方向に直線状に設けたものとなっている他は図1及び図2で説明したものと同様である。また、各画素1における信号線2とゲート線3の接続状態は図4に示される通りである。

【0019】このようにすると、図1及び図2で説明したものと同様の利益を得ることができることに加え、ゲート線3自体は遮光部としては機能しないが、透明であることから、表示面の開口率を向上させることができる。

【0020】図5は本発明の第3の実施例を示すもので、上述の第2の実施例とは逆に、信号線2を透明配線として縦方向に直線状に設けた他は図1及び図2で説明したものと同様で、このようにしても図1及び図2で説明したものと同様の利益を得ることができる。

【0021】図6は本発明の第4の実施例を示すもので、各画素1はほぼ八角形状をなしており、横方向に直列されていると共に、第n行の画素1に対して第n+1行の画素1が1/2ピッチ分だけ横方向にずれた配置となっている。従って、縦及び横方向のラインとしてみた画素1間のスペースは、ジグザグに山形を連ねた形状をなし、一部に垂直又は水平線部分を有するものの、そのほとんどが斜線部となっている。

【0022】信号線2及びゲート線3は画素1間のスペースに沿ってジグザグに形成されている。信号線3は縦方向にジグザグに連なる画素1間のスペースラインを1列のスペースラインとして、1列おきのスペースラインに沿って形成され、1本の信号線2に沿ってその両側に千鳥状に存在する画素1が同じ信号線2に接続されている。また、ゲート線3は横方向にジグザグに連なる画素1間のスペースラインを1行のスペースラインとして、各行のスペースラインに沿って形成され、1本のゲート線3に沿ってその片側に存在する画素1が同じゲート線3に接続されている。

【0023】このようにすると、画素1間のスペースの一部に垂直及び水平線部分が存在はするものの、これが斜線部分と混在しているので、全体としては図1及び図2で説明したものと同様の利益を得ることができる。

【0024】図7は本発明の第5の実施例を示すもので、特にカラー表示に対応させたものである。本実施例においても画素1の形状は図6の第4の実施例と同様であるが、1本の信号線2に接続されている画素1が、第n行の画素1に対して第n+1行の画素1が1.5ピッチ分横方向にずれている点が図6の第4の実施例と相違している。また、図に示されるR、G、Bは、赤、緑、青の三原色の各フィルターを有する画素1を示すものである。

【0025】このように、行間で1.5ピッチ分のずれを設け、同色の画素1が隣接することをなくして解像度を向上させる画素配置とした場合においても、図6で説明した第4の実施例と同様に、図1及び図2で説明したものと同様の利益を得ることができる。

【0026】ところで、上述した各実施例におけるスイッチング素子5としては、FETが一般に使用されており、特にその活性層を単結晶材料で構成したFETが最も好ましい。また、この単結晶材料の場合、キャリアの移動度が高く、電気抵抗が低いので、信号線2をFETの活性層と同時に同じ材料で構成することが可能である。そして、信号線2を単結晶材料で構成した場合、信号線2を遮光部と兼務させることができ、本発明による目立ちにくい信号線2兼遮光部を、性能の優れたFETと同時に形成できる利益がある。

【0027】この実施例において、画素数の少ない場合等、信号線の抵抗が問題にならない場合には、活性層が非単結晶材料で構成されていることも可能である。この場合も本発明の効果が有効であることは言うまでもない。

【0028】特に単結晶シリコンでFETの活性層及び信号線2を構成する場合、単結晶シリコンを多孔質化した多孔質シリコンの仮基板を用いて単結晶シリコン層を形成することで容易に行うことができる。

【0029】上記多孔質シリコンの仮基板には、透過型顕微鏡による観察によれば、平均約600Å程度の孔が形成されており、その密度は単結晶シリコンに比べると半分以下になるにも拘らず、その単結晶性は維持されており、多孔質層の上部へ単結晶シリコンをエピタキシャル成長させることも可能である。但し、1000℃以上では内部の孔の再配列が起こり、増速エッチングの特性が根なわれる。このため、シリコン層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマCVD法、熱CVD法、光CVD法、パイアス・スパッタ法、液晶成長法等の低温成長が好適とされる。

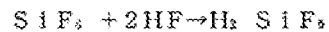
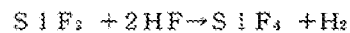
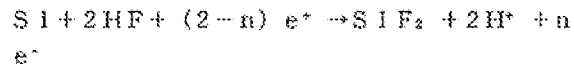
【0030】ここで、P型シリコンを多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

【0031】まずシリコン単結晶の仮基板を用意し、これをHF溶液を用いた陽極化成法によって多孔質化する。

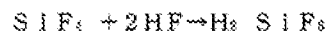
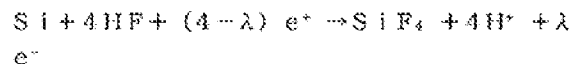
【0032】単結晶シリコンの密度は 2.33 g/cm^3 であるが、多孔質シリコンの密度はHF溶液の濃度を20~50%に変化させることで $0.6\sim 1.1\text{ g/cm}^3$ に変化させることができる。この多孔質層は、下記の理由により、P型シリコン仮基板に形成されやすい。

【0033】多孔質シリコンは、1956年に半導体の電解研磨の研究過程で発見された。また、陽極化成におけるシリコンの溶解反応の研究から、HF溶液中のシリコンの陽極反応には正孔が必要であり、その反応は次のようであることが報告されている。

【0034】



又は、



ここで e^+ 及び e^- は夫々正孔と電子を表わしている。また、 n 及び λ は夫々Siの1原子が溶解するために必要な正孔の数であり、 $n > 2$ 又は $\lambda > 4$ なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【0035】以上のことから、正孔の存在するP型シリコンは多孔質化されやすいといえる。この多孔質化における選択性は既の実証されている事項である。

【0036】一方、高濃度N型シリコンも多孔質化され得ることが報告されている。従って、P型、N型の別にこだわらずに多孔質化を行うことができる。

【0037】また、多孔質層は、その内部に多量の空隙が形成されているために、密度が半以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は通常の単結晶層のエッチング速度に比べて著しく増速される。

【0038】単結晶シリコンを陽極化成によって多孔質化する条件の一例を以下に示す。尚、陽極化成によって形成する多孔質シリコンの出発材料は、単結晶シリコンに限定されるものではなく、他の結晶構造のシリコンでも可能である。

【0039】印加電圧： 2.6 (V)

電流密度： 30 ($\text{mA} \cdot \text{cm}^{-2}$)

陽極化成溶液： HF : H_2O : $\text{C}_2\text{H}_5\text{OH}$ = 1 : 1 : 1

時間：2.4 (時間)

多孔質シリコンの厚み： 300 (μm)

Porosity： 56%

このようにして形成した多孔質シリコンの仮基板の上にシリコンをエピタキシャル成長させて単結晶シリコン薄膜を形成する。単結晶シリコン薄膜の厚さは、好ましくは50 μm 以下、更に好ましくは20 μm 以下であ

る。

【0040】次に、上記単結晶シリコンの表面を液晶表示装置に使用する基板に貼り合わせる。この貼り合わせは、単結晶シリコンの表面を酸化させた後行うことが好ましい。これは、例えば基板としてガラス板を用いた場合、シリコン活性層の下地界面により発生する界面準位は上記ガラス界面に比べて酸化膜界面の方が準位を低くでき、電子デバイスの特性を著しく向上させることができるためである。また、後述する選択エッチングにより多孔質シリコンの仮基板をエッチング除去した単結晶シリコンの薄膜のみを基板に貼り合わせることもできる。

【0041】貼り合わせは、夫々の表面を洗浄後に室温で接触させるだけで、ファンデンワールス力によって、簡単には剥すことができない程に密着させることができるが、これを更に200~900℃、好ましくは600~900℃の温度で窒素雰囲気下で熱処理し、完全に貼り合わせることが好ましい。

【0042】上記貼り合わせた仮基板と基板全体にSi : N₂層をエッチング防止膜として堆積し、多孔質シリコンの仮基板表面のSi : N₂層のみを除去する。このSi : N₂層の代わりにアピゾンワックスを用いてもよい。

【0043】その後、多孔質シリコンの仮基板を全部エッチング等の手段で除去することにより単結晶シリコン層を有する基板が得られる。

【0044】多孔質シリコンの仮基板のみを無電解湿式エッチングする選択エッチング法について以下に説明する。

【0045】結晶シリコンに対してはエッチング作用を持たず、多孔質シリコンのみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム (NH_4F) やフッ化水素 (HF) 等のバッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に単結晶シリコン層を形成した仮基板又はこの仮基板と基板を貼り合わせたものを浸潤させてエッチングを行う。

【0046】エッチング速度は、弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、シリコンの酸化を増速し、反応速度を無添加に比べて増速することができ、更に過酸化水素水の比率を変えることで、その反応速度を制御することができる。また、アルコールを添加することにより、エッチングによる反応生成気体の気泡を瞬時にエッチング表面から攪拌除去でき、均一に効率的に多孔質シリコンをエッチングすることができる。

【0047】バッファード弗酸中のHF濃度は、エッチング液に対して好ましくは1~95重量%、より好まし

くは1~85重量%,更に好ましくは1~70重量%の範囲で設定される。パッファード弗酸中のNH₃濃度は、エッチング液に対して好ましくは1~95重量%,より好ましくは5~90重量%,更に好ましくは5~80重量%の範囲で設定される。

【0048】HF濃度は、エッチング液に対して好ましくは1~95重量%,より好ましくは5~90重量%,更に好ましくは5~80重量%の範囲で設定される。

【0049】H₂O₂濃度は、エッチング液に対して好ましくは1~95重量%,より好ましくは5~90重量%,更に好ましくは10~80重量%で、上記過酸化水素水の効果を奏する範囲で設定される。

【0050】アルコール濃度は、エッチング液に対して好ましくは80重量%以下、より好ましくは60重量%以下、更に好ましくは40重量%以下で、かつ上記アルコールの効果を奏する範囲で設定される。尚、アルコールとしては、エチルアルコールの他、イソプロピルアルコール等、製造工程等の実用上差し支えがなく、更に上記アルコールの添加効果を望むことができるものであればよい。

【0051】温度は、好ましくは0~100℃、より好ましくは5~80℃、更に好ましくは5~60℃の範囲で設定される。

【0052】このようにして得られた半導体基板は、通常のシリコンウエハーと同等に、平坦にしかも均一に薄層化された単結晶シリコンを基板全面に有するものとなる。従って、この単結晶シリコンを有する基板を用いれば、FETの活性層及び信号線2を単結晶シリコンで容易に同時形成することができる。

【0053】尚、単結晶シリコンを例にして説明したが、単結晶のガリウム-砒素によってFETの活性層と信号線2を同時に形成することもできる。この場合、上

述の手順によって、仮基板上に単結晶シリコン層を形成した後、この単結晶シリコン層上に単結晶ガリウム-砒素をエピタキシャル成長させ、単結晶ガリウム-砒素層を基板に貼り合わせた後、仮基板と単結晶シリコン層を選択的にエッチング除去すればよい。

【0054】

【発明の効果】本発明は、以上説明した通りのものであり、不透明配線として信号線やゲート線を設けたり遮光層を設ける場合に、表示面上これらを目立ちにくくして良好な画像が得やすくなると共に、同一のゲート線に接続された画素間の駆動タイミングのずれ等の不都合を生じないものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例における画素形状とその配置の説明図である。

【図2】図1における画素と信号線及びゲート線の接続状態の説明図である。

【図3】本発明の第2の実施例の説明図である。

【図4】図4における画素と信号線及びゲート線の接続状態の説明図である。

【図5】本発明の第3の実施例の説明図である。

【図6】本発明の第4の実施例の説明図である。

【図7】本発明の第5の実施例の説明図である。

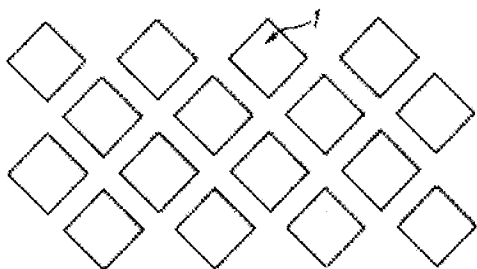
【図8】従来技術の説明図である。

【図9】従来技術の説明図である。

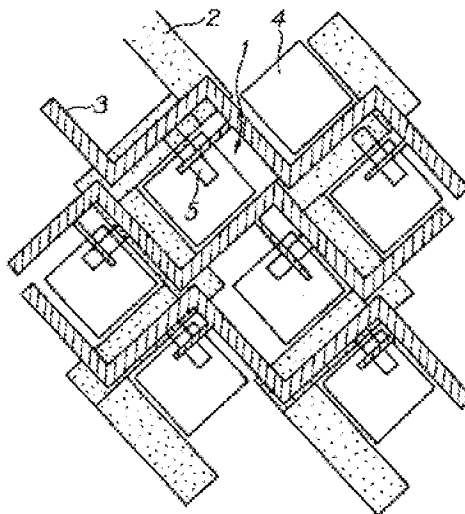
【符号の説明】

- 1 画素
- 2 信号線
- 3 ゲート線
- 4 画素電極
- 5 スイッチング素子

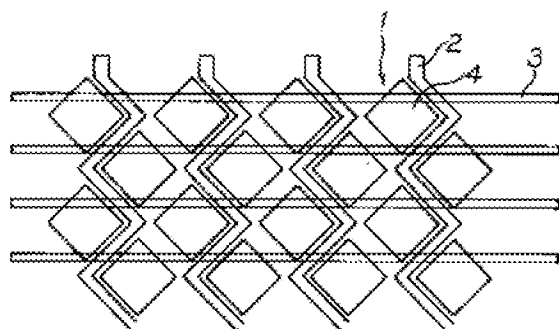
【図1】



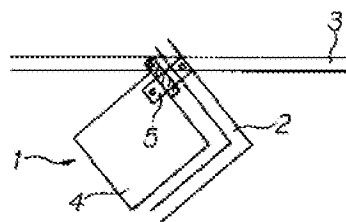
【図2】



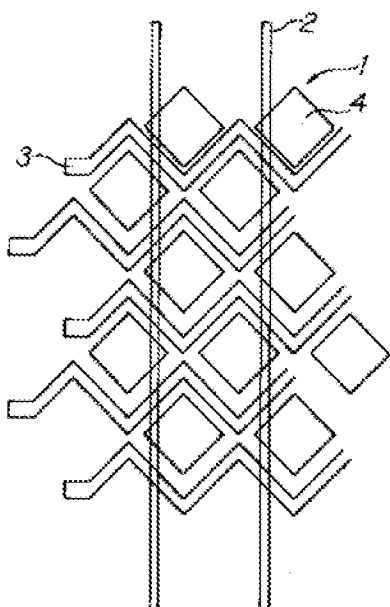
【図3】



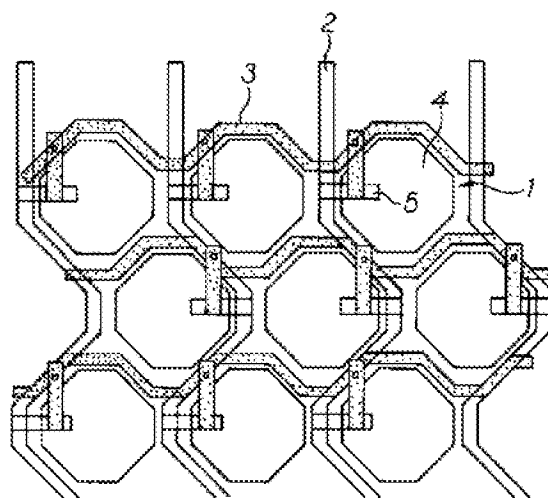
【図4】



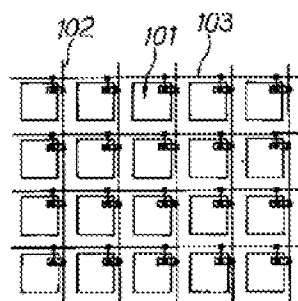
【図5】



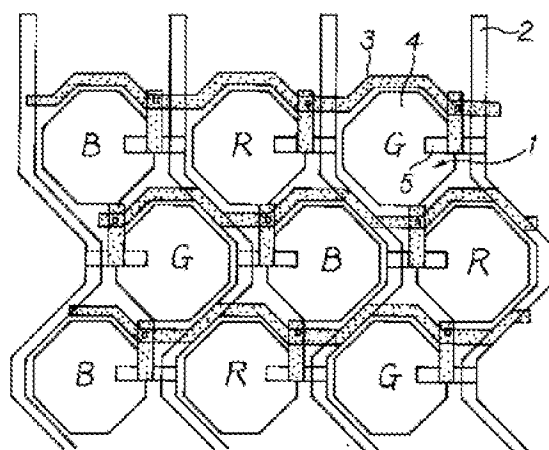
【図6】



【図8】



【図7】



【図9】

